

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kyuichi TAKIMOTO, et al.**

Serial No.: **Not Yet Assigned**

Filed: **July 23, 2003**

For. **CONTROL CIRCUIT FOR DC/DC CONVERTER**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: July 23, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-242422, filed August 22, 2002

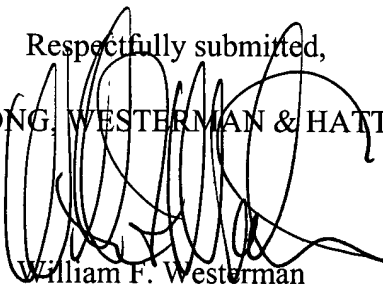
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



William F. Westerman
Reg. No. 29,988

WFW/ll
Atty. Docket No. 030879
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月22日

出 願 番 号

Application Number:

特願2002-242422

[ST.10/C]:

[JP2002-242422]

出 願 人

Applicant(s):

富士通株式会社

2002年11月29日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2002-3094110

【書類名】 特許願

【整理番号】 0240934

【提出日】 平成14年 8月22日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/00

【発明の名称】 D C / D C コンバータの制御回路及び D C / D C コンバータ

【請求項の数】 8

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴェエルエスアイ株式会社内

 【氏名】 滝本 久市

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴェエルエスアイ株式会社内

 【氏名】 松本 敬史

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴェエルエスアイ株式会社内

 【氏名】 原口 玲

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100068755

 【弁理士】

 【氏名又は名称】 恩田 博宣

【選任した代理人】

 【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DC/DCコンバータの制御回路及びDC/DCコンバータ

【特許請求の範囲】

【請求項1】 メイン側スイッチング素子と同期側スイッチング素子が直列に接続され、前記両スイッチング素子の中点に平滑回路とフライバックダイオードが接続されてなる外付け素子が接続されてDC/DCコンバータを構成し、前記メイン側スイッチング素子と同期側スイッチング素子に第1駆動信号と第2駆動信号を出力して両素子を交互にオン/オフ駆動するDC/DCコンバータの制御回路において、

前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する駆動信号に同期整流休止期間を設定する休止期間設定回路を備え、

該休止期間設定回路は、前記メイン側スイッチング素子に供給する駆動信号のパルス幅と、DC/DCコンバータの出力電圧を設定電圧と等しくするように設定したパルス幅とを略同一とすること、
を特徴とするDC/DCコンバータの制御回路。

【請求項2】 出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差増幅回路と、

前記誤差信号と三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、

前記パルス信号に基づいて前記第1及び第2駆動信号を生成する第1及び第2出力回路と、
を備え、

前記休止期間設定回路は、前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する第1及び第2駆動信号に同期整流休止期間を設定するべく第1及び第2制御信号を生成するとともに、前記第1制御信号のパルス幅を前記パルス信号のパルス幅と略同一とし、

前記第1出力回路は前記第1制御信号に基づいて前記メイン側スイッチング素子に供給する第1駆動信号を生成し、

前記第 2 出力回路は前記第 2 制御信号に基づいて前記同期側スイッチング素子に供給する第 2 駆動信号を生成する、

ことを特徴とする請求項 1 記載の DC/DC コンバータの制御回路。

【請求項 3】 前記休止期間設定回路は、前記パルス信号の立ち上がり及び立ち下がり遅延させて前記第 1 制御信号を生成することを特徴とする請求項 2 記載の DC/DC コンバータの制御回路。

【請求項 4】 前記休止期間設定回路は、前記第 1 制御信号の立ち上がり及び立ち下がり遅延させた遅延信号と前記パルス信号とを論理合成して前記第 2 制御信号を生成することを特徴とする請求項 2 又は 3 記載の DC/DC コンバータの制御回路。

【請求項 5】 前記休止期間設定回路は、
前記パルス信号の立ち上がり及び立ち下がり遅延させて前記第 1 制御信号を生成する第 1 遅延回路と、

前記パルス信号又は前記第 1 制御信号が入力され、該入力信号の立ち上がり及び立ち下がり遅延させて遅延信号を生成する第 2 遅延回路と、

前記パルス信号と前記遅延信号とを論理合成して前記第 2 制御信号を生成する合成回路と、

を備えたことを特徴とする請求項 2 記載の DC/DC コンバータの制御回路。

【請求項 6】 前記第 1 及び第 2 遅延回路は、直列接続した複数のインバータ回路にて入力信号を遅延することを特徴とする請求項 5 記載の DC/DC コンバータの制御回路。

【請求項 7】 前記第 1 及び第 2 遅延回路は、抵抗と容量の時定数にて入力信号を遅延することを特徴とする請求項 5 記載の DC/DC コンバータの制御回路。

【請求項 8】 メイン側スイッチング素子と同期側スイッチング素子が直列に接続され、前記両スイッチング素子の中点に平滑回路とフライバックダイオードが接続されてなる外付け素子が接続されて DC/DC コンバータを構成し、前記メイン側スイッチング素子と同期側スイッチング素子に第 1 駆動信号と第 2 駆動信号を出力して両素子を交互にオン/オフ駆動する制御回路を備えた DC/D

Cコンバータにおいて、

前記制御回路は、前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する駆動信号に同期整流休止期間を設定する休止期間設定回路を備え、

該休止期間設定回路は、前記メイン側スイッチング素子に供給する駆動信号のパルス幅と、DC/DCコンバータの出力電圧を設定電圧と等しくするように設定したパルス幅とを略同一とすること、
を特徴とするDC/DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、各種電子機器等の電源として用いられる同期整流型のDC/DCコンバータに関するものである。

【0002】

近年、各種電子機器に用いられるCPU等はその動作周波数の高速化が進められ、それに伴い電源電流が多くなっている。そのため、CPU等の電源として用いられる同期整流型DC/DCコンバータも大電力化が進められている。DC/DCコンバータは、直列に接続されたメイン側スイッチング素子と同期側スイッチング素子を交互にオン/オフ駆動することで、一定電圧を負荷に供給する。両スイッチング素子が同時にオンすると貫通電流が流れ消費電流を増大させることから、その貫通電流を防止するために両スイッチング素子を同時にオフする同期整流休止期間を設定する必要がある。

【0003】

【従来の技術】

従来のDC/DCコンバータの一例を図9に示す。このDC/DCコンバータ1は、1チップの半導体集積回路装置上に形成された制御回路2と、複数個の外付け素子とから構成されている。

【0004】

制御回路2の第1駆動信号SG1は、メイン側スイッチング素子3に供給され

る。このスイッチング素子 3 はエンハンスメント形 N チャンネル MOS トランジスタで構成され、負荷を駆動するためのメインスイッチとして動作する。第 1 駆動信号 S G 1 は、スイッチング素子 3 のゲートに印加される。スイッチング素子 3 のドレインにはバッテリーから電源電圧 V_e が供給され、スイッチング素子 3 のソースは同期側スイッチング素子 4 に接続されている。

【 0 0 0 5 】

同期側スイッチング素子 4 はエンハンスメント形 N チャンネル MOS トランジスタで構成され、そのドレインがメイン側スイッチング素子 3 のソースに接続されている。同期側スイッチング素子 4 のゲートには制御回路 2 の第 2 駆動信号 S G 2 が入力され、ソースはグランド G N D に接続されている。

【 0 0 0 6 】

メイン側スイッチング素子 3 のソースは平滑回路を構成するチョークコイル 5 を介して出力端子 T o に接続されている。また、メイン側スイッチング素子 3 のソースはフライバックダイオード 6 のカソードに接続され、そのダイオード 6 のアノードはグランド G N D に接続されている。

【 0 0 0 7 】

同期側スイッチング素子 4 は、DC / DC コンバータ 1 のフライバック動作時に動作し、フライバックダイオード 6 での損失を改善する。

出力端子 T o は、平滑回路を構成する平滑用コンデンサ 7 を介してグランド G N D に接続されている。出力端子 T o は、図示しない C P U 等の負荷に接続されている。そして、この出力端子 T o からは出力電圧 V_o が出力される。この出力電圧 V_o を抵抗 8, 9 により分圧した分圧電圧 V_2 が、制御回路 2 に帰還される。

【 0 0 0 8 】

制御回路 2 は、誤差増幅回路 1 1、PWM 比較回路 1 2、三角波発振回路 1 3、休止期間設定回路 1 4、第 1、第 2 出力回路 1 5、1 6 を含む。

誤差増幅回路 1 1 は、反転入力端子に分圧電圧 V_2 が入力され、非反転入力端子に基準電源 E 1 から基準電圧 V_r が入力される。

【 0 0 0 9 】

誤差増幅回路 1 1 は、分圧電圧 V_2 と設定電圧としての基準電圧 V_r とを比較し、両電圧の差電圧を増幅した誤差信号 S_1 を次段の PWM 比較回路 1 2 に出力する。

【 0 0 1 0 】

PWM 比較回路 1 2 は、非反転入力端子に誤差信号 S_1 が入力され、反転入力端子に三角波発振回路 1 3 からの三角波信号 S_2 が入力される。

PWM 比較回路 1 2 は、誤差信号 S_1 と三角波信号 S_2 のレベルを比較する。そして、PWM 比較回路 1 2 は、その比較において、三角波信号 S_2 のレベルの方が大きくなる期間では L レベル、三角波信号 S_2 のレベルの方が小さくなる期間では H レベルとなるパルス信号 S_3 を休止期間設定回路 1 4 に出力する。

【 0 0 1 1 】

休止期間設定回路 1 4 は、パルス信号 S_3 に基づいて、メイン側スイッチング素子 3 と同期側スイッチング素子 4 とがほぼ相補的にオンオフするとともに、両スイッチング素子 3, 4 が同時にオンしない（この期間が同期整流休止期間（以下、単に休止期間））ように生成した第 1 及び第 2 制御信号 S_4 , S_5 を生成する。休止期間は、システムの破壊を防ぐために設定される。同期整流方式の DC / DC コンバータ 1 では、メイン側スイッチング素子 3 と同期側スイッチング素子 4 が同時にオンすると過大な貫通電流が流れてシステムを破壊する恐れがあるからである。

【 0 0 1 2 】

第 1 出力回路 1 5 は、休止期間設定回路 1 4 から出力された第 1 制御信号 S_4 を増幅した第 1 駆動信号 S_{G1} をメイン側スイッチング素子 3 に供給する。第 2 出力回路 1 6 は、休止期間設定回路 1 4 から出力された第 2 制御信号 S_5 を増幅した第 2 駆動信号 S_{G2} を同期側スイッチング素子 4 に供給する。

【 0 0 1 3 】

図 1 0 は、従来の休止期間設定回路 1 4 の回路図である。

休止期間設定回路 1 4 は、インバータ回路 2 1 ~ 2 5、トランジスタ T_1 , T_2 、電流源 2 6, 2 7、コンデンサ C_1 , C_2 を含む。

【 0 0 1 4 】

パルス信号 S 3 は、インバータ回路 2 1 に供給される。インバータ回路 2 1、パルス信号 S 3 を反転した信号をトランジスタ T 1 のゲートに供給する。トランジスタ T 1 は N チャネル MOS トランジスタであり、ソースはグラウンド GND に接続され、ドレインは電流源 2 6 に接続されている。

【 0 0 1 5 】

トランジスタ T 1 と電流源 2 6 との間のノードはコンデンサ C 1 の第 1 端子に接続され、コンデンサ C 1 の第 2 端子はグラウンド GND に接続されている。また、コンデンサ C 1 の第 1 端子はインバータ回路 2 2 の入力端子に接続されている。インバータ回路 2 2 の出力端子はインバータ回路 2 3 の入力端子に接続され、そのインバータ回路 2 3 から第 1 制御信号 S 4 が出力される。

【 0 0 1 6 】

従って、インバータ回路 2 2 の入力信号 S 6 は、図 1 1 に示すように、パルス信号 S 3 の立ち上がりを電流源 2 6 の電流量 I 1 とコンデンサ C 1 の容量に応じて立ち上がり、トランジスタ T 1 がオンすることにより急峻に立ち下がる波形を持つ。そして、インバータ回路 2 2 は、それを構成する MOS トランジスタのしきい値電圧（スレッシュホールド電圧） V_{th} を入力信号 S 6 が超えると出力信号のレベルを反転させる。従って、第 1 制御信号 S 4 は、その立ち上がりがパルス信号 S 3 の立ち上がりをコンデンサ C 1 の充電時間に応じた時間 t_{d1} だけ遅延させ、立ち下がりがパルス信号 S 3 のそれとほぼ一致した波形を持つ。この遅延時間 t_{d1} は、

$$t_{d1} = V_{th} * C1 / I1$$

により求められる。

【 0 0 1 7 】

パルス信号 S 3 は、トランジスタ T 2 のゲートに供給される。トランジスタ T 1 は N チャネル MOS トランジスタであり、ソースはグラウンド GND に接続され、ドレインは電流源 2 7 に接続されている。

【 0 0 1 8 】

トランジスタ T 2 と電流源 2 7 との間のノードはコンデンサ C 2 の第 1 端子に接続され、コンデンサ C 2 の第 2 端子はグラウンド GND に接続されている。また

、コンデンサC 2の第1端子はインバータ回路2 4の入力端子に接続されている。インバータ回路2 4の出力端子はインバータ回路2 5の入力端子に接続され、そのインバータ回路2 5から第2制御信号S 5が出力される。

【0 0 1 9】

従って、インバータ回路2 4の入力信号S 7は、図1 1に示すように、パルス信号S 3に応答してトランジスタT 2がオンすることにより急峻に立ち下がり、パルス信号S 3の立ち上がりを電流源2 7の電流量I 2とコンデンサC 2の容量に応じて立ち上がる波形を持つ。そして、インバータ回路2 4は、それを構成するM O Sトランジスタのしきい値電圧（スレッシュホールド電圧）V_{th}を入力信号S 7が超えると出力信号のレベルを反転させる。従って、第2制御信号S 5は、その立ち下がりがパルス信号S 3のそれとほぼ一致し、立ち上がりがパルス信号S 3の立ち上がりをコンデンサC 2の充電時間に応じた遅延時間t_{d 2}だけ遅延させた波形を持つ。この遅延時間t_{d 2}は、

$$t_{d 2} = V_{t h} * C 2 / I 2$$

により求められる。

【0 0 2 0】

【発明が解決しようとする課題】

ところで、消費電力の低減等の目的のために低い電源電圧にてD C / D Cコンバータ1を使用する要求がある。しかしながら、従来の休止期間設定回路1 4では、入力するパルス信号S 3のパルス幅に対して遅延時間t_{d 1}の分だけ短いパルス幅を持つ第1制御信号S 4を生成している。このため、図1 2に示すように、誤差信号S 1の電圧に対する第1制御信号S 4のオン・デューティー比の設定が、理想特性よりも低くなる。従って、第1制御信号S 4、ひいては第1駆動信号S G 1のデューティを高く、例えばほぼ1 0 0パーセントにまで設定することができない。このため、電源電圧を下げることができないという問題が生じていた。

【0 0 2 1】

本発明は上記問題点を解決するためになされたものであって、その目的はメイン側スイッチング素子のオン・デューティ特性を向上させることができるD C /

DCコンバータの制御回路及びDC/DCコンバータを提供することにある。

【0022】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明は、メイン側スイッチング素子と同期側スイッチング素子が直列に接続され、前記両スイッチング素子の中点に平滑回路とフライバックダイオードが接続されてなる外付け素子が接続されてDC/DCコンバータを構成し、前記メイン側スイッチング素子と同期側スイッチング素子に第1駆動信号と第2駆動信号を出力して両素子を交互にオン/オフ駆動するDC/DCコンバータの制御回路において、前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する駆動信号に同期整流休止期間を設定する休止期間設定回路を備え、該休止期間設定回路は、前記メイン側スイッチング素子に供給する駆動信号のパルス幅と、DC/DCコンバータの出力電圧を設定電圧と等しくするように設定したパルス幅とを略同一とする。従って、メイン側スイッチング素子は、出力電圧に応じてデューティが設定されたパルス幅の駆動信号にてオン/オフ駆動される。

【0023】

請求項2に記載の発明は、出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する増幅回路と、前記誤差信号と三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、前記パルス信号に基づいて前記第1及び第2駆動信号を生成する第1及び第2出力回路と、を備え、前記休止期間設定回路は、前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する第1及び第2駆動信号に同期整流休止期間を設定するべく第1及び第2制御信号を生成するとともに、前記第1制御信号のパルス幅を前記パルス信号のパルス幅と略同一とし、前記第1出力回路は前記第1制御信号に基づいて前記メイン側スイッチング素子に供給する第1駆動信号を生成し、前記第2出力回路は前記第2制御信号に基づいて前記同期側スイッチング素子に供給する第2駆動信号を生成する。従って、メイン側スイッチング素子は、出力電圧に応じデューティが設定されたパルス幅の駆動信号にてオン/オフ駆動され、メイン側スイッチング素子と同期側

スイッチング素子の同期整流休止期間が確実に設定される。

【 0 0 2 4 】

請求項 3 に記載の発明のように、前記休止期間設定回路は、前記パルス信号の立ち上がり及び立ち下がり遅延させて前記第 1 制御信号を生成する。従って、メイン側スイッチング素子は、出力電圧に応じデューティが設定されたパルス幅の駆動信号が生成される。

【 0 0 2 5 】

請求項 4 に記載の発明のように、前記休止期間設定回路は、前記第 1 制御信号の立ち上がり及び立ち下がり遅延させた遅延信号と前記パルス信号とを論理合成して前記第 2 制御信号を生成する。従って、メイン側スイッチング素子と同期側スイッチング素子の同期整流休止期間が確実に設定される。

【 0 0 2 6 】

請求項 5 に記載の発明のように、前記休止期間設定回路は、前記パルス信号の立ち上がり及び立ち下がり遅延させて前記第 1 制御信号を生成する第 1 遅延回路と、前記パルス信号又は前記第 1 制御信号が入力され、該入力信号の立ち上がり及び立ち下がり遅延させて遅延信号を生成する第 2 遅延回路と、前記パルス信号と前記遅延信号とを論理合成して前記第 2 制御信号を生成する合成回路と、を備えた。

【 0 0 2 7 】

請求項 6 に記載の発明のように、前記第 1 及び第 2 遅延回路は、直列接続した複数のインバータ回路にて入力信号を遅延する。入力信号に対する遅延時間は同期整流休止期間に相当する。従って、同期整流休止期間を容易に設定できる。

【 0 0 2 8 】

請求項 7 に記載の発明のように、前記第 1 及び第 2 遅延回路は、抵抗と容量の時定数にて入力信号を遅延する。入力信号に対する遅延時間は同期整流休止期間に相当する。従って、同期整流休止期間を容易に設定できる。

【 0 0 2 9 】

請求項 8 に記載の発明は、メイン側スイッチング素子と同期側スイッチング素子が直列に接続され、前記両スイッチング素子の midpoint に平滑回路とフライバック

ダイオードが接続されてなる外付け素子が接続されてDC/DCコンバータを構成し、前記メイン側スイッチング素子と同期側スイッチング素子に第1駆動信号と第2駆動信号を出力して両素子を交互にオン/オフ駆動する制御回路を備えたDC/DCコンバータにおいて、前記制御回路は、前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する駆動信号に同期整流休止期間を設定する休止期間設定回路を備え、該休止期間設定回路は、前記メイン側スイッチング素子に供給する駆動信号のパルス幅と、DC/DCコンバータの出力電圧を設定電圧と等しくするように設定したパルス幅とを略同一とする。従って、メイン側スイッチング素子は、出力電圧に応じてデューティが設定されたパルス幅の駆動信号にてオン/オフ駆動される。

【0030】

【発明の実施の形態】

以下、本発明を具体化した一実施の形態を図1～図5に従って説明する。

尚、説明の便宜上、従来技術と同様の構成については同一の符号を付してその説明を一部省略する。

【0031】

図1は、DC/DCコンバータのブロック回路図である。

DC/DCコンバータ31は、1チップの半導体集積回路装置上に形成された制御回路32と、複数個の外付け素子とから構成されている。外付け素子は、メイン側スイッチング素子3、同期側スイッチング素子4、チョークコイル5、フライバックダイオード6、平滑用コンデンサ7、抵抗8、9を含み、チョークコイル5と平滑用コンデンサ7は平滑回路を構成する。

【0032】

制御回路32は、出力端子T_oにおける出力電圧V_oを抵抗8、9により分圧した分圧電圧V₂が帰還され、該分圧電圧V₂に基づいて、メイン側スイッチング素子3に供給する第1駆動信号SG11と、同期側スイッチング素子4に供給する第2駆動信号SG12を生成する。

【0033】

制御回路32は、誤差増幅回路11、PWM比較回路12、三角波発振回路1

3、休止期間設定回路 3 4、第 1、第 2 出力回路 1 5、1 6 を含む。

誤差増幅回路 1 1 は、反転入力端子に分圧電圧 V_2 が入力され、非反転入力端子に基準電源 E_1 から基準電圧 V_r が入力される。

【 0 0 3 4 】

誤差増幅回路 1 1 は、分圧電圧 V_2 と基準電圧 V_r とを比較し、両電圧の差電圧を増幅した誤差信号 S_1 を次段の PWM 比較回路 1 2 に出力する。

PWM 比較回路 1 2 は、非反転入力端子に誤差信号 S_1 が入力され、反転入力端子に三角波発振回路 1 3 からの三角波信号 S_2 が入力される。

【 0 0 3 5 】

PWM 比較回路 1 2 は、誤差信号 S_1 と三角波信号 S_2 のレベルを比較する。そして、PWM 比較回路 1 2 は、その比較において、三角波信号 S_2 のレベルの方が大きくなる期間では L レベル、三角波信号 S_2 のレベルの方が小さくなる期間では H レベルとなるパルス信号 S_3 を休止期間設定回路 3 4 に出力する。

【 0 0 3 6 】

休止期間設定回路 3 4 は、パルス信号 S_3 に基づいて、該パルス信号 S_3 と実質的に同じパルス幅を持つ第 1 制御信号 S_{14} を生成する。また、休止期間設定回路 3 4 は、パルス信号 S_3 と第 1 制御信号 S_{14} とに基づいて、メイン側スイッチング素子 3 と同期側スイッチング素子 4 とがほぼ相補的にオンオフするとともに、両スイッチング素子 3、4 が同時にオンしない（この期間が休止期間）ように第 2 制御信号 S_{15} を生成する。休止期間は、システムの破壊を防ぐために設定される。同期整流方式の DC/DC コンバータ 1 では、メイン側スイッチング素子 3 と同期側スイッチング素子 4 が同時にオンすると過大な貫通電流が流れてシステムを破壊する恐れがあるからである。

【 0 0 3 7 】

第 1 出力回路 1 5 は、休止期間設定回路 3 4 から出力された第 1 制御信号 S_{14} を増幅した第 1 駆動信号 SG_{11} をメイン側スイッチング素子 3 に供給する。第 2 出力回路 1 6 は、休止期間設定回路 3 4 から出力された第 2 制御信号 S_{15} を増幅した第 2 駆動信号 SG_{12} を同期側スイッチング素子 4 に供給する。

【 0 0 3 8 】

図 2 は、休止期間設定回路 3 4 の原理を説明するためのブロック回路図である。

休止期間設定回路 3 4 は、第 1 及び第 2 遅延回路 3 5, 3 6 と合成回路 3 7 とを含む。

【 0 0 3 9 】

第 1 遅延回路 3 5 は、入力されるパルス信号 S 3 を予め設定された遅延時間 t_{d1} だけ遅延させて第 1 制御信号 S 1 4 を生成する。この第 1 制御信号 S 1 4 は、図 3 に示すように、パルス信号 S 3 と実質的に同じパルス幅を有している。第 1 制御信号 S 1 4 は第 2 遅延回路 3 6 に出力される。

【 0 0 4 0 】

第 2 遅延回路 3 6 は、入力される第 1 制御信号 S 1 4 を予め設定された遅延時間 t_{d2} だけ遅延させた遅延信号 S 1 6 を生成する。この遅延信号 S 1 6 は、図 3 に示すように、第 1 制御信号 S 1 4 (パルス信号 S 3) と実質的に同じパルス幅を有している。この遅延信号 S 1 6 は合成回路 3 7 に出力される。

【 0 0 4 1 】

合成回路 3 7 には、パルス信号 S 3 と遅延信号 S 1 6 とが入力される。合成回路 3 7 は、図 3 に示すように、パルス信号 S 3 と遅延信号 S 1 6 とを論理合成してメイン側スイッチング素子 3 と同期側スイッチング素子 4 とがほぼ相補的にオンオフするとともに、両スイッチング素子 3, 4 が同時にオンしない (この期間が休止期間) ように第 2 制御信号 S 1 5 を生成する。

【 0 0 4 2 】

このように、休止期間設定回路 3 4 は、入力されるパルス信号 S 3 と実質的に同じパルス幅を有する第 1 制御信号 S 1 4 を生成する。従って、誤差信号 S 1 の電圧に対する第 1 制御信号 S 1 4 のオン・デューティー比の設定を、ほぼ理想特性と一致させることができる。従って、第 1 制御信号 S 1 4、ひいては第 1 駆動信号 S G 1 1 のデューティを高く、例えばほぼ 1 0 0 パーセントにまで設定することができる。

【 0 0 4 3 】

図 4 は、休止期間設定回路 3 4 の一例を示す回路図である。

休止期間設定回路 3 4 は、第 1 及び第 2 遅延回路 3 5, 3 6、合成回路 3 7 を含む。第 1 遅延回路 3 5 は本実施形態では複数 (m 個) の直列接続されたインバータ回路からなり、入力信号を段数 (インバータ回路の数: m) により決定される遅延時間 t_{d1} だけ遅延させた信号を出力する。第 2 遅延回路 3 6 は本実施形態では複数 (n 個) の直列接続されたインバータ回路からなり、入力信号を段数 (インバータ回路の数: n) により決定される遅延時間 t_{d2} だけ遅延させた信号を出力する。合成回路 3 7 は本実施形態ではノア回路からなり、入力されるパルス信号 S 3 と遅延信号 S 1 6 とを論理和演算して第 2 制御信号 S 1 5 を生成する。尚、合成回路 3 7 は、入力するパルス信号 S 3 と遅延信号 S 1 6 の論理に応じて、オア回路、入力側にインバータ回路を設けた構成としても良い。

【 0 0 4 4 】

また、休止期間設定回路 3 4 は、インバータ回路 4 1 ~ 4 4 を含む。これらのインバータ回路 4 1 ~ 4 4 は、第 1 及び第 2 遅延回路 3 5, 3 6 と合成回路 3 7 の回路構成に応じて、パルス信号 S 3 の論理レベルに対する第 1 及び第 2 制御信号 S 1 4, S 1 5 の論理レベルの整合をとるために設けられている。

【 0 0 4 5 】

例えば、第 1 遅延回路 3 5 の段数が偶数の場合、パルス信号 S 3 から第 1 制御信号 S 1 4 を出力する経路において偶数個のインバータ回路を設ける。そして、第 1 及び第 2 遅延回路 3 5, 3 6 の接続に応じてインバータ回路を挿入する。

【 0 0 4 6 】

上記のように、休止期間設定回路 3 4 は、図 1 の PWM 比較回路 1 2 から入力されるパルス信号 S 3 と実質的に同じパルス幅を持つ第 1 制御信号 S 1 4 を生成する。従って、図 5 に示すように、PWM 比較回路 1 2 (図 1 参照) に入力される誤差信号 S 1 の電圧に対する第 1 制御信号 S 1 4 のオン・デューティ比の設定を、ほぼ理想特性と等しくすることができる。そして、第 1 制御信号 S 1 4、ひいては第 1 駆動信号 S G 1 1 のデューティを高く、例えばほぼ 1 0 0 パーセントにまで設定することができ、電源電圧を下げて使用することができる。

【 0 0 4 7 】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 誤差増幅回路 11 は出力電圧 V_o と基準電圧 V_r とを比較した誤差信号 S_1 を出力し、PWM 比較回路 12 は誤差信号 S_1 と三角波信号 S_2 とに基づいてパルス幅変調して生成したパルス信号 S_3 を出力する。休止期間設定回路 34 は、パルス信号 S_3 を遅延させて該パルス信号 S_3 のパルス幅と同一のパルス幅を有する第 1 制御信号 S_{14} を生成し、該第 1 制御信号 S_{14} に基づいてメイン側スイッチング素子 3 に供給する第 1 駆動信号 SG_{11} が生成される。従って、メイン側スイッチング素子 3 は、出力電圧 V_o に応じてデューティが設定されたパルス幅の第 1 駆動信号 SG_{11} にてオン／オフ駆動される。その結果、第 1 駆動信号 SG_{11} のデューティを 100 パーセントに設定することができる。

【0048】

(2) 休止期間設定回路 34 は、生成した第 1 制御信号 S_{14} を遅延させた遅延信号 S_{16} とパルス信号 S_3 とを論理合成して第 2 制御信号 S_{15} を生成し、該第 2 制御信号 S_{15} に基づいて同期側スイッチング素子 4 に供給する第 2 駆動信号 SG_{12} が生成される。従って、同期側スイッチング素子 4 はメイン側スイッチング素子 3 をオンしている間、確実にオフされる、即ち休止期間を容易に設定することができる。

【0049】

尚、前記実施形態は、以下の態様に変更してもよい。

・休止期間設定回路の構成を適宜変更すること。例えば、図 6 に示すように構成した休止期間設定回路 50 を用いる。図 7 は、休止期間設定回路 50 の動作波形図である。

【0050】

この休止期間設定回路 50 は、第 1 及び第 2 遅延回路 51, 52、合成回路 53、インバータ回路 54～58 を含む。第 1 遅延回路 51 は、抵抗 61 とコンデンサ 62 とからなる積分回路であり、入力信号の立ち上がり及び立ち下がり波形を時定数分スルーレートを遅らせることで、次段のインバータ回路 56 の出力信号を立ち上がり及び立ち下がりに遅延させる。これにより、休止期間設定回路 50 は、パルス信号 S_3 と実質的に同じパルス幅を持つ第 1 制御信号 S_{23} を生成する。このパルス信号 S_3 に対する第 1 制御信号 S_{23} の遅延時間 t_{d1} は、抵

抗 6 1 の抵抗値 R_2 と、コンデンサ 6 2 の容量値 C_2 と、次段のインバータ回路 5 6 のしきい値電圧 V_{th1} とから、

$$t_{d1} = C_2 \times R_2 \times \ln(V_{th1})$$

で求められる。

【 0 0 5 1 】

同様に、第 2 遅延回路 5 2 は、抵抗 6 3 とコンデンサ 6 4 とからなる積分回路であり、入力信号の立ち上がり及び立ち下がり波形を時定数分スルーレートを遅らせることで、次段のインバータ回路 5 8 の出力信号を立ち上がり及び立ち下がり遅延させる。これにより、休止期間設定回路 5 0 は、パルス信号 S_3 と実質的に同じパルス幅を持つ遅延信号 S_{25} を生成する。このパルス信号 S_3 に対する遅延信号 S_{25} の遅延時間 t_{d2} は、抵抗 6 3 の抵抗値 R_3 と、コンデンサ 6 4 の容量値 C_3 と、次段のインバータ回路 5 6 のしきい値電圧 V_{th2} とから、

$$t_{d2} = C_3 \times R_3 \times \ln(V_{th2})$$

で求められる。

【 0 0 5 2 】

合成回路 5 3 はノア回路であり、パルス信号 S_3 とインバータ回路 5 8 から出力される遅延信号 S_{25} とを論理和演算して第 2 制御信号 S_{26} を生成する。

このように生成された第 1 及び第 2 制御信号 S_{23} 、 S_{26} は、図 1 の第 1 及び第 2 出力回路 1 5、1 6 にそれぞれ供給され、第 1 及び第 2 出力回路 1 5、1 6 は第 1 及び第 2 制御信号 S_{23} 、 S_{26} に基づいて第 1 及び第 2 駆動信号 SG_{11} 、 SG_{12} をそれぞれ生成する。

【 0 0 5 3 】

・上記各実施形態のインバータ回路を、図 8 (a) ～ (c) に示すように構成すること。

図 8 (a) のインバータ回路 7 1 は、抵抗 7 2 と NPN トランジスタ 7 3 とからなる。図 8 (b) のインバータ回路 7 4 は、電流源 7 5 と NPN トランジスタ 7 6 とからなる。これらインバータ回路 7 1、7 4 の構成を、図 6 の休止期間設定回路 5 0 のインバータ回路 5 4 ～ 5 8 及び合成回路 5 3 に適用することで、第 1 及び第 2 遅延回路 5 1、5 2 と同じプロセスにて形成することができる。

【0054】

図8(c)のインバータ回路77は、PチャネルMOSトランジスタ78とNチャネルMOSトランジスタ79とからなるCMOSインバータ回路であり、このインバータ回路77の構成を上記休止期間設定回路34、50に適用することで、低消費電力化を図ることができる。

【0055】

- ・上記実施形態において、制御回路32の構成を適宜変更すること。
- ・上記実施形態において、両スイッチング素子3、4や分圧抵抗8、9を含めて1チップ化すること。

【0056】

【発明の効果】

以上詳述したように、本発明によれば、メイン側スイッチング素子のオン・デューティ特性を向上させることが可能なDC/DCコンバータの制御回路及びDC/DCコンバータを提供することができる。

【図面の簡単な説明】

- 【図1】 DC/DCコンバータのブロック回路図である。
- 【図2】 休止期間設定回路のブロック回路図である。
- 【図3】 休止期間設定回路の動作波形図である。
- 【図4】 休止期間設定回路の回路図である。
- 【図5】 オン・デューティ特性の説明図である。
- 【図6】 別の休止期間設定回路の回路図である。
- 【図7】 別の休止期間設定回路の動作波形図である。
- 【図8】 (a)～(c)はインバータ回路の回路例を示す説明図である。
- 【図9】 従来のDC/DCコンバータのブロック回路図である。
- 【図10】 従来の休止期間設定回路の回路図である。
- 【図11】 従来の休止期間設定回路の動作波形図である。
- 【図12】 従来例のオン・デューティ特性の説明図である。

【符号の説明】

3 メイン側スイッチング素子

4 同期側スイッチング素子

6 フライバックダイオード

1 1 誤差増幅回路

1 2 PWM比較回路

1 5 第 1 出力回路

1 6 第 2 出力回路

3 2 制御回路

3 4, 5 0 休止期間設定回路

3 5, 5 1 第 1 遅延回路

3 6, 5 2 第 2 遅延回路

3 7, 5 3 合成回路

SG 1 1, SG 1 2 第 1, 第 2 駆動信号

S 1 誤差信号

S 2 三角波信号

S 3 パルス信号

S 1 4, S 2 3 第 1 制御信号

S 1 5, S 2 6 第 2 制御信号

S 1 6, S 2 5 遅延信号

V o 出力電圧

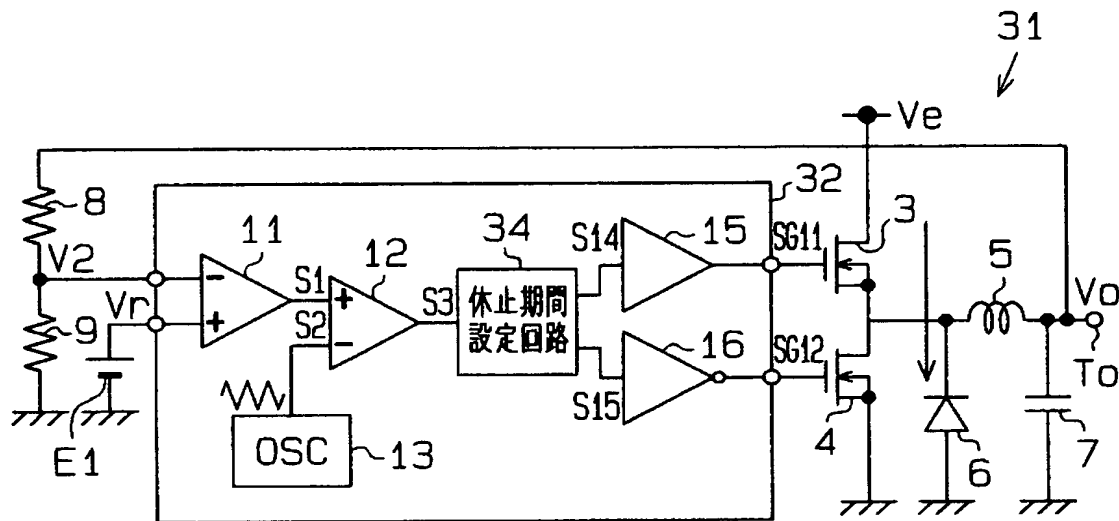
V r 設定電圧

V 2 分圧電圧

【書類名】 図面

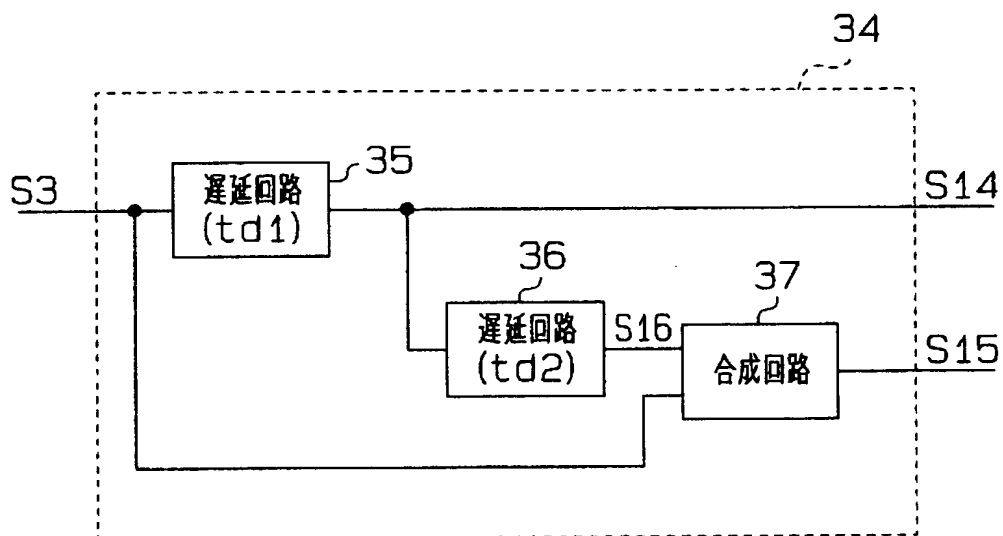
【図 1】

DC/DCコンバータのブロック回路図



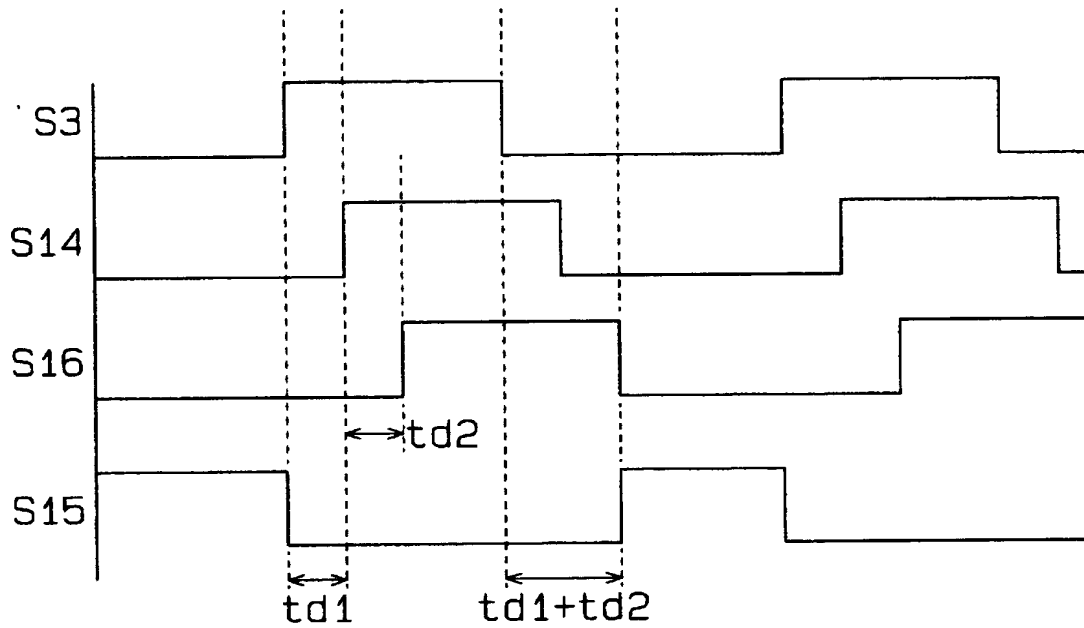
【図 2】

休止期間設定回路のブロック回路図



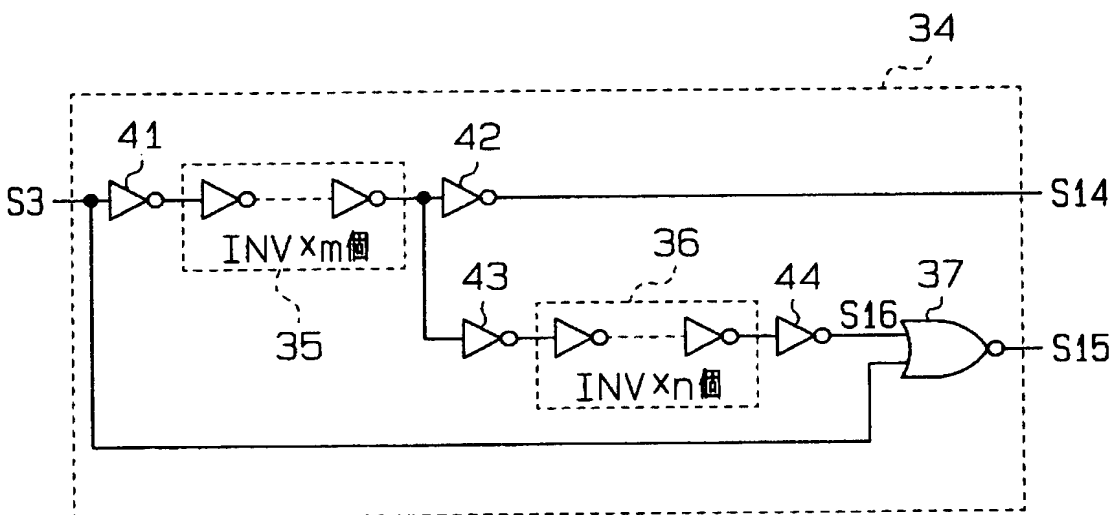
【図 3】

休止期間設定回路の動作波形図



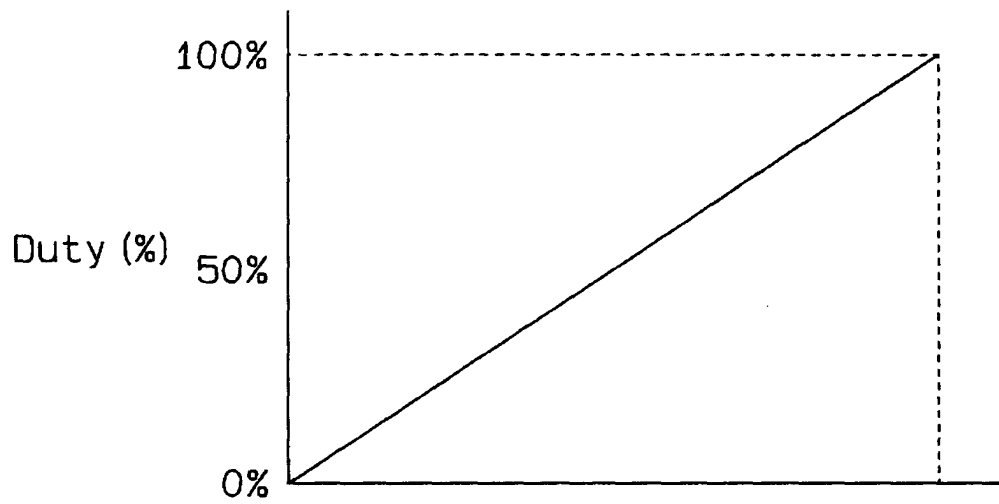
【図 4】

休止期間設定回路の回路図



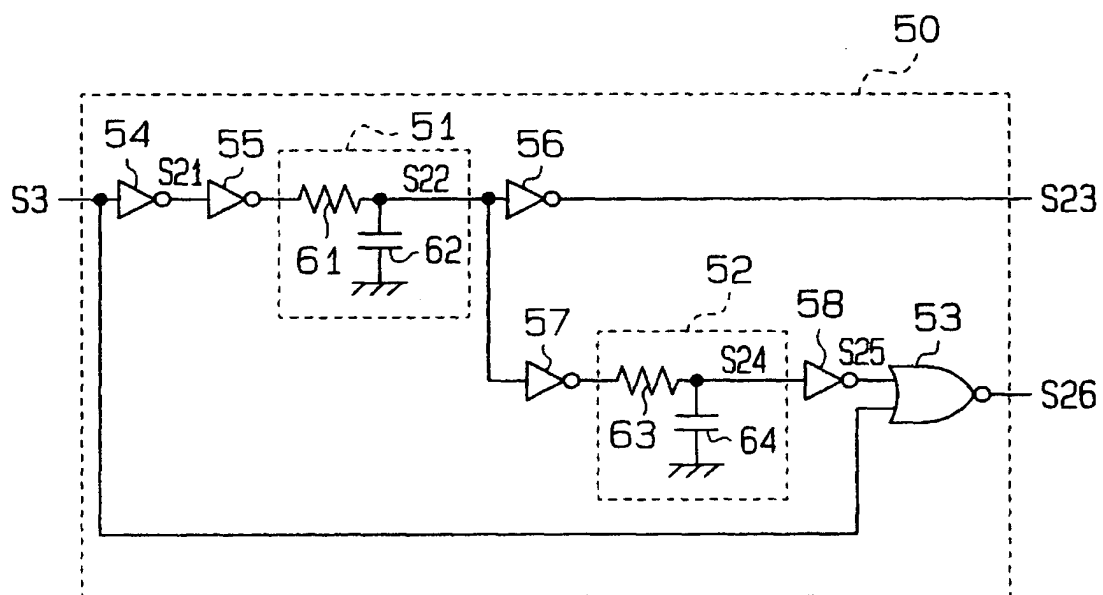
【図 5】

オン・デューティ特性の説明図



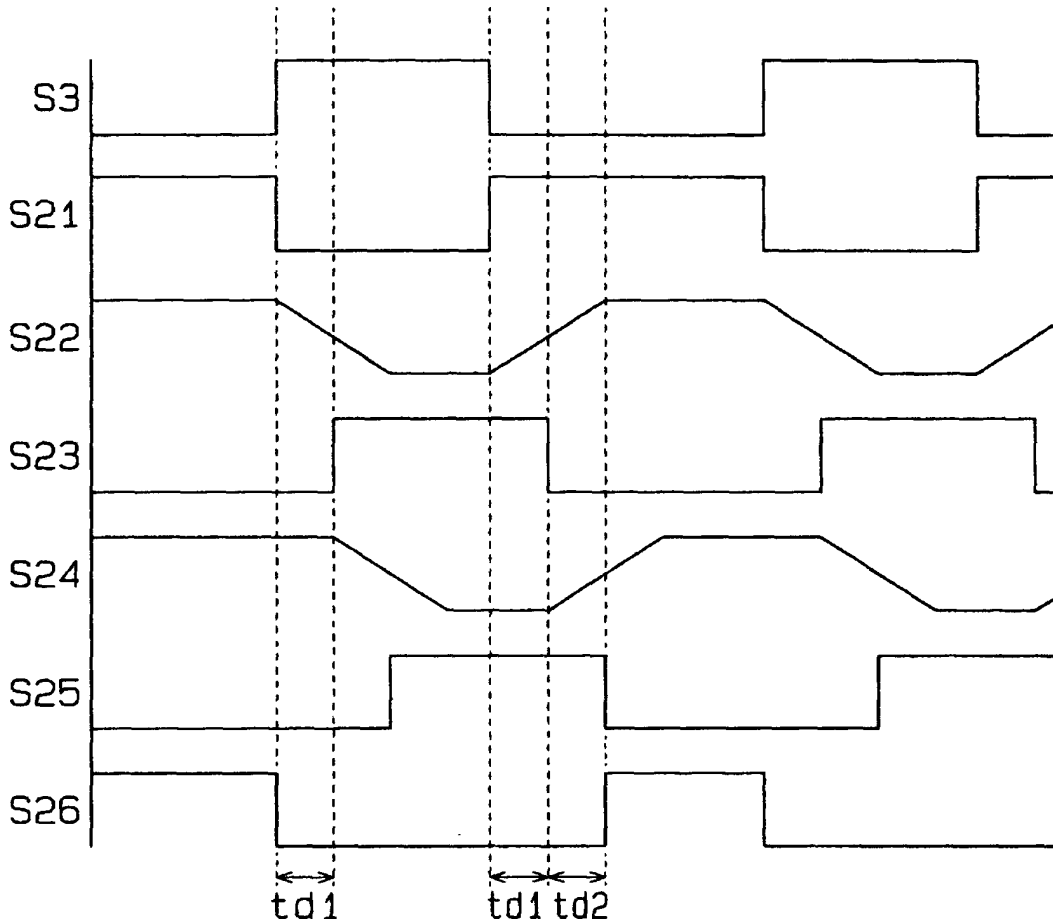
【図 6】

別の休止期間設定回路の回路図



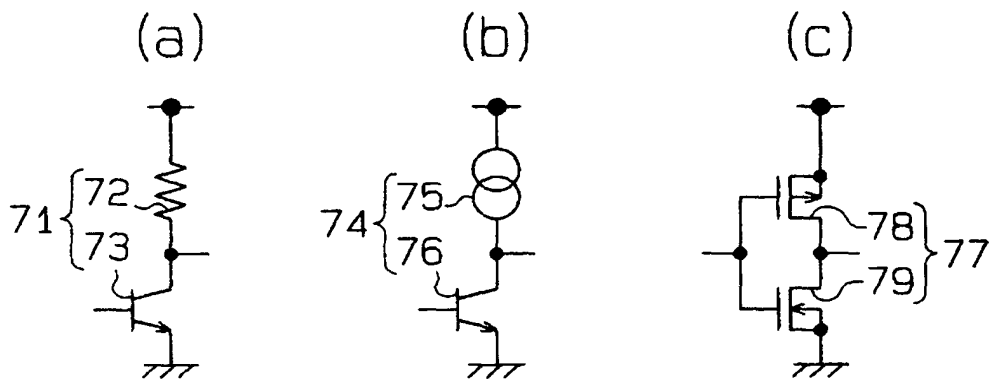
【図 7】

別の休止期間設定回路の動作波形図



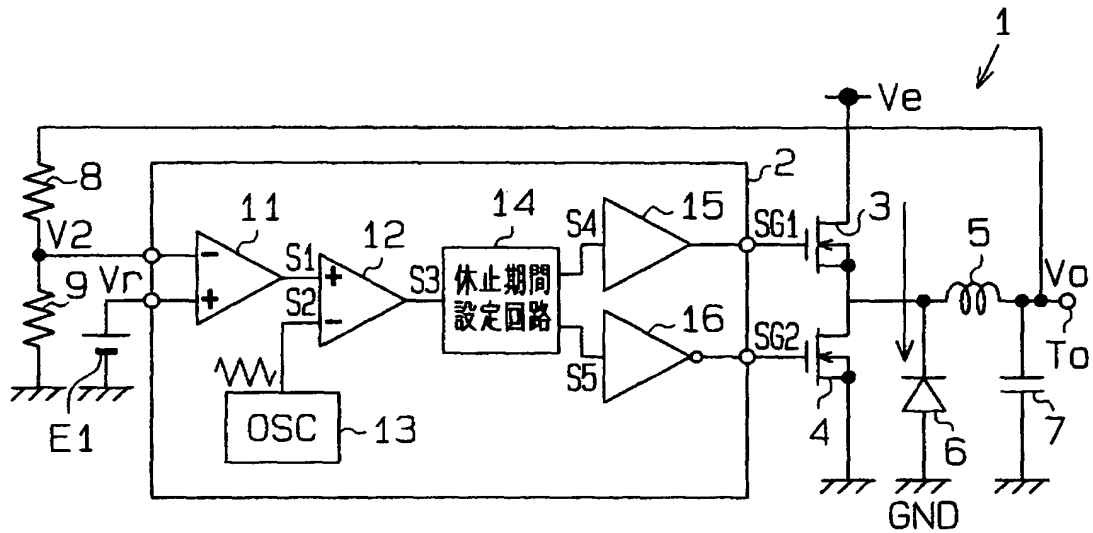
【図 8】

インバータ回路の回路例を示す説明図



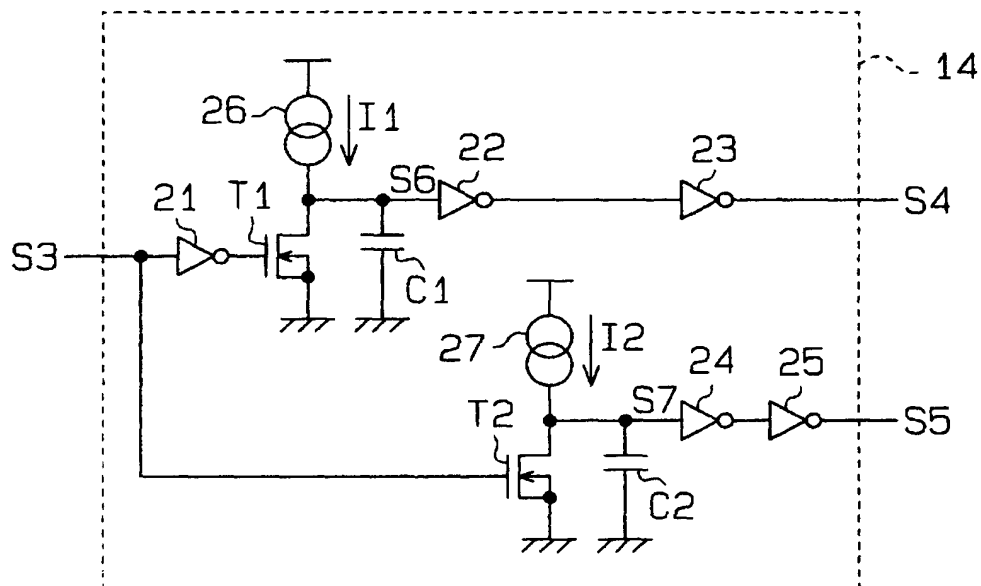
【図 9】

従来のDC/DCコンバータのブロック回路図



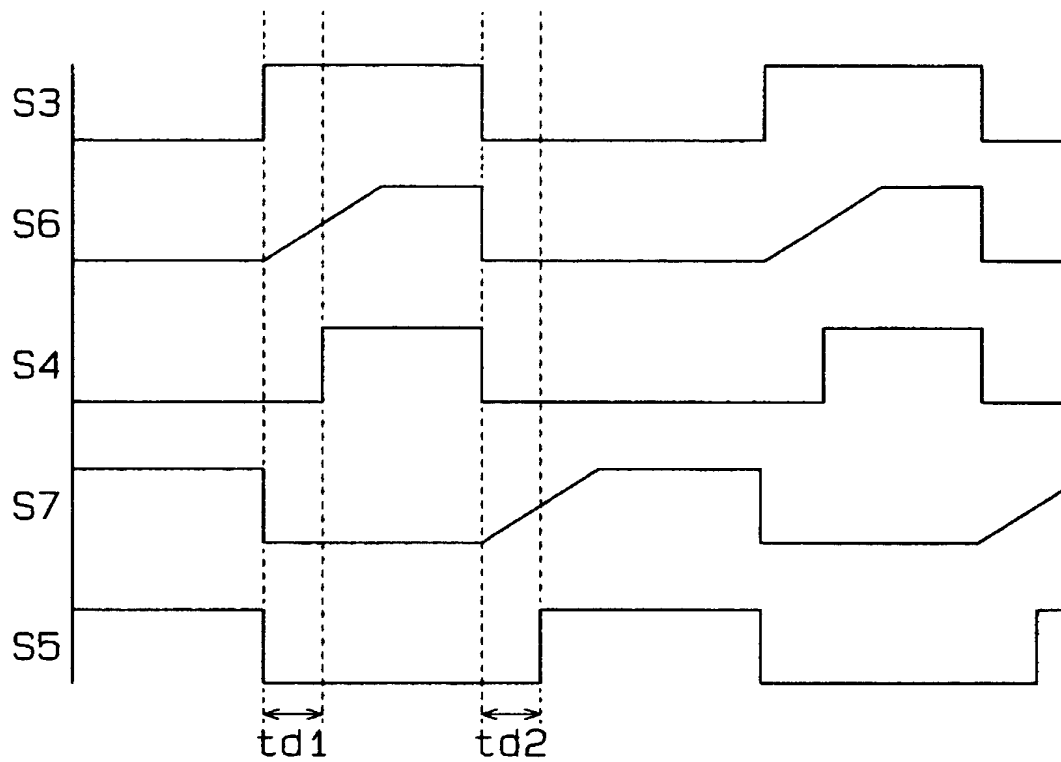
【図 1 0】

従来の休止期間設定回路の回路図



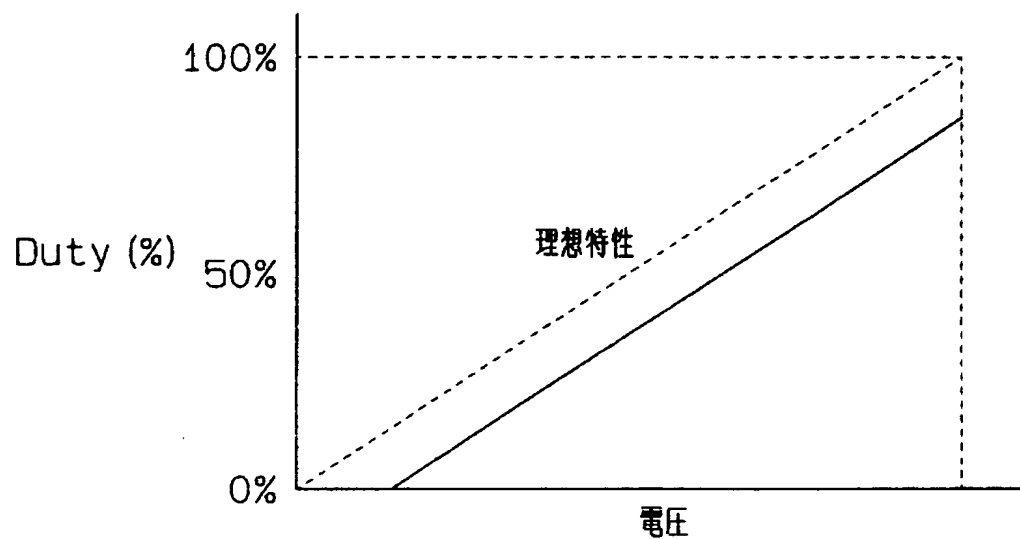
【図 1 1】

従来の休止期間設定回路の動作波形図



【図 1 2】

オン・デューティ特性の説明図



【書類名】 要約書

【要約】

【課題】 メイン側スイッチング素子のオン・デューティ特性を向上させることができるDC/DCコンバータの制御回路を提供すること。

【解決手段】 誤差増幅回路11は出力電圧 V_o と基準電圧 V_r とを比較した誤差信号 S_1 を出力し、PWM比較回路12は誤差信号 S_1 と三角波信号 S_2 とに基づいてパルス幅変調して生成したパルス信号 S_3 を出力する。休止期間設定回路34は、パルス信号 S_3 を遅延させて該パルス信号 S_3 のパルス幅と同一のパルス幅を有する第1制御信号 S_{14} を生成し、該第1制御信号 S_{14} に基づいてメイン側スイッチング素子3に供給する第1駆動信号 SG_{11} が生成される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社